

PATENT

Atty. Docket No. 8836-231 (ID13030-US)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT(S): Hyung-Rok OH et al. EXAMINER: Mai-Huong C. Tran
SERIAL NO.: 10/805,696 GROUP ART UNIT: 2818
FILED: March 22, 2004
FOR: PHASE RANDOM ACCESS MEMORY WITH HIGH DENSITY

Dated: April 5, 2005

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT

Sir:

Enclosed is a certified copy of Korean Appln. No. 2003/36089 filed on June 4, 2003 and from which priority is claimed under 35 U.S.C. §119.

Respectfully submitted,

Michael F. Morano
Reg. No. 44,952
Attorney for Applicant(s)

F. CHAU & ASSOCIATES, LLC
130 Woodbury Road
Woodbury, NY 11797
(516) 692-8888

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope addressed to the: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on April 5, 2005.

Dated: April 5, 2005

Michael F. Morano

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0036089
Application Number

출원년월일 : 2003년 06월 04일
Date of Application JUN 04, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

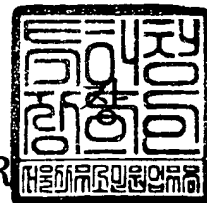
CERTIFIED COPY OF
PRIORITY DOCUMENT



2004 년 03 월 16 일

특 허 청

COMMISSIONER



BEST AVAILABLE COPY

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.06.04
【발명의 명칭】	고집적 상변환 램
【발명의 영문명칭】	PHASE RANDOM ACCESS MEMORY WITH HIGH DENCITY
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	오형록
【성명의 영문표기】	OH, HYUNG-ROK
【주민등록번호】	690310-1641411
【우편번호】	463-050
【주소】	경기도 성남시 분당구 서현동 시범단지 삼성아파트 102동 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	조백형
【성명의 영문표기】	CHO, BEAK-HYUNG
【주민등록번호】	691015-1474133
【우편번호】	447-050
【주소】	경기도 오산시 부산동 779-1번지 운암주공아파트 310동 603호
【국적】	KR

【발명자】**【성명의 국문표기】**

김두응

【성명의 영문표기】

KIM, DU-EUNG

【주민등록번호】

640228-1467029

【우편번호】

449-846

【주소】경기도 용인시 수지읍 풍덕천리 1168 진산마을 삼성아파트 516
동 100 4호**【국적】**

KR

【발명자】**【성명의 국문표기】**

조우영

【성명의 영문표기】

CHO, WOO-YEONG

【주민등록번호】

681006-1841019

【우편번호】

445-973

【주소】

경기도 화성군 태안읍 반월리 신영통 현대아파트 211동 1103호

【국적】

KR

【심사청구】

청구

【취지】특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의
한 출원심사 를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

26 면 26,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

23 항 845,000 원

【합계】

900,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 상변환 램에 관한 것으로서, 각각의 드레인영역을 가지는 한 쌍의 역세스트랜지스터들과, 비트라인에 제1전극을 통하여 전기적으로 연결되고 상기 드레인영역에 한 쌍의 제2전극들을 통하여 전기적으로 연결되어 상기 역세스트랜지스터들에 공유되는 상변환 물질막을 포함한다.

【대표도】

도 7

【색인어】

상변환

【명세서】**【발명의 명칭】**

고집적 상변환 램{PHASE RANDOM ACCESS MEMORY WITH HIGH DENCITY}

【도면의 간단한 설명】

도 1은 상변환 램의 단위 메모리셀의 등가회로도.

도 2A 및 2B는 도 1에 따른 단위 메모리셀의 평면 및 단면구조도.

도 3은 상변환 램의 메모리셀에 사용되는 상변환 물질의 특성을 보여주는 그래프.

도 4는 도 1의 단위 메모리셀들로 구성된 메모리셀어레이의 회로도.

도 5는 2개의 단위 메모리셀들을 하나의 셀 레이아웃 단위로 구성된 레이아웃 표준셀의 등가회로도.

도 6은 도 5의 레이아웃 표준셀들이 배열된 메모리셀어레이의 회로도.

도 7은 본 발명의 제1실시예에 따라 도 5에 보인 레이아웃 표준셀의 전체적인 패턴을 보여주는 평면도.

도 8A는 도 7에서의 절단선 A-A'를 따라 취한 단면 구조도.

도 8B는 도 7에서의 절단선 B-B'를 따라 취한 단면 구조도.

도 9는 본 발명의 제2실시예에 따라 도 5에 보인 레이아웃 표준셀의 전체적인 패턴을 보여주는 평면도.

도 10은 도 9에서의 절단선 C-C'를 따라 취한 단면 구조도.

도 11은 본 발명의 제3실시예에 따라 도 5에 보인 레이아웃 표준셀의 전체적인 패턴을 보여주는 평면도.

도 12는 도 11에서의 절단선 E-E'를 따라 취한 단면 구조도.

도 13A 및 13B는 도 11에 보인 레이아웃 표준셀이 하나의 비트라인에 대응하여 배열된 메모리셀어레이의 몇가지 실례들을 보여주는 평면도.

도 14는 본 발명의 제4실시예에 따라 도 5에 보인 레이아웃 표준셀의 전체적인 패턴을 보여주는 평면도.

도 15는 도 14에서의 절단선 F-F'를 따라 취한 단면 구조도.

도 16은 도 14에 보인 레이아웃 표준셀이 두개의 비트라인에 대응하여 배열된 메모리셀 어레이의 일례를 보여주는 평면도.

도 17은 본 발명의 제5실시예에 따라 도 5에 보인 레이아웃 표준셀의 전체적인 패턴을 보여주는 평면도.

도 18은 도 17에 보인 레이아웃 표준셀이 두개의 비트라인에 대응하여 배열된 메모리셀 어레이의 일례를 보여주는 평면도.

본 발명에 따른 도면들에서 실질적으로 동일한 구성과 기능을 가진 구성요소들에 대하여는 동일한 참조부호를 사용한다.

< 도면의 주요 부분에 대한 부호의 설명 >

CP : 컨택 플러그 BEC : 하부전극

TEC : 상부전극 GST : 상변환 물질막

BC : 비트라인 컨택 TC : 표준셀

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<25> 본 발명은 랜덤 액세스가 가능한 비휘발성 메모리장치에 관한 것으로서, 특히 상변환 물질막과 1개의 액세스 트랜지스터로 구성된 메모리셀들을 이용하여 데이터를 저장하며 랜덤 액세스가 가능한 상변환 램에 관한 것이다. 본 발명에서는 그러한 상변환 램의 메모리셀의 구조를 제안한다.

<26> 어드레스에 의한 랜덤 액세스(random access)가 가능하고 고집적 및 대용량을 실현할 수 있는 비휘발성 메모리장치의 수요는 날로 증가하고 있다. 그러한 비휘발성 메모리장치로는, 현재 휴대용 전자기기 등에 주로 많이 사용되는 플래쉬(flash) 메모리가 대표적이다. 그 외에 전형적인 저가 및 대용량 메모리인 디램(DRAM)의 상유전체 캐패시터를 비휘발특성을 지닌 물질의 소자로 대체한 형태로서, 강유전체 캐패시터를 이용한 강유전체 램(ferroelectric RAM; FRAM), 티엠알(TMR; tunneling magneto-resistive) 막을 이용한 마그네틱 램(magnetic RAM; MRAM), 그리고 칼코겐 화합물(chalcogenide alloys)을 이용한 상변환 램(phase RAM; PRAM; chalcogenide-based RAM)이 소개되어 있다.

<27> 특히, 상변환 램은, 비휘발성의 특성은 물론, 그 제조과정이 비교적 간단하여 저가로 대용량의 메모리를 구현할 수 있다. 상변환 램은 온도에 반응하여 그 결정 상태가 다결정 상태에서 비정질(amorphous) 또는 결정(crystal)으로 바뀌는 상변환(phase transition) 물질을 사용한다. 상변환 물질은 예컨대 게르마늄(germanium; Ge), 스티비움(stibium; Sb) 및 텔루리움(tellurium; Te)으로 조성된 셀코겐 화합물(GST 또는 Ge-Sb-Te)을 사용한다. GST외에 상변환

물질로 사용될 수 있는 켈코겐 화합물로는 As-Sb-Te, As-Gb-Te, As-Gb-Sb-Te, Sn-Sn-Te, In-Sn-Sb-Te, Ag-In-Sb-Te, 5A족 원소-Sb-Te, 6A족 원소-Sb-Te, 5A족 원소-Sb-Se 등이 있다. 또한, 이들 화합물에 질소가 첨가될 수 있다.

<28> 상변환 램의 단위 메모리셀 UC는, 도 1에 보인 바와 같이, 비트라인 BL에 연결된 가변저항체 C와, 가변저항 C와 접지전압사이에 연결되어 워드라인 WL에 게이트가 연결된 엑세스트랜지스터 M으로 구성된다. 가변저항체 C는, 도 2A 및 2B에 보인 바와 같이, 전술한 상변환 물질, 예컨대 GST 막(film)을 포함하며, GST막을 사이에 둔 상부전극 TEC와 하부전극 BEC를 가진다. 상부전극 TEC는 비트라인 콘택 BC를 통하여 비트라인 BL에 접속되며 하부전극 BEC는 도전성 물질(예컨대, TiN 등)로 콘택플러그(또는 히터플러그) CP를 통하여 엑세스트랜지스터 M의 드레인 D에 접속된다. 이러한 상변환 물질막으로 된 가변저항체 C는 공급되는 전류량과 공급시간에 따라 그 물질의 결정상태가 바뀌게 된다. 상변환 물질막으로 된 가변저항 C로의 전류공급은 엑세스트랜지스터 M이 턴온되어 비트라인 BL로부터 접지전압으로의 전류경로가 형성됨에 의해 이루어 진다.

<29> 상변환 물질막은 온도에 따라 2개의 안정된 상태를 가지며, 이러한 특성을 이용하여 데이터를 프로그램하고 소거(erase)한다. 도 3을 참조하면, 상변환 물질막을, 시간 T1동안, 용융 온도(melting temperature; T_m ; 약 610°C)보다 높은 온도로 (전류공급에 의해) 가열한 뒤 급속히 냉각(quenching)시키면, 상기 상변환 물질막은 비정질 상태(amorphous state)로 변한다(커브 1 참조). 이 때는

프로그램상태(또는 리셋상태)로서 데이터 "1"을 저장한다. 이와는 달리, 상변환 물질막을 결정화 온도(crystallization temperature; T_c ; 약 450°C)보다 높고 용융온도(T_m)보다는 낮은 온도에서 T_1 보다 긴 시간 T_2 동안 가열한 뒤 냉각시키면, 상기 상변환 물질막은 결정화 상태(crystallization state)로 변한다(커브 2 참조). 이 때는 소거상태(또는 셋 상태)로서 데이터 "0"을 저장한다.

<30> 비정질상태로 된 상변환 물질막의 비저항이 결정화 상태로 된 상변환물질막의 비저항(比 저항; relative resistance)보다 높기 때문에, 읽기동작에서는 상변환물질막으로 된 가변저항 C를 통하여 흐르는 전류에 따른 전압차로써 데이터 "1" 또는 "0"을 감지한다. 상변환 물질막이 비정질상태에서 결정화상태로 바뀔때 따라 그것의 비저항 변화정도는 약 10^3 이다.

<31> 도 4는 그러한 상변환 메모리셀들(UC)이 매트릭스형태로 배열된 메모리셀어레이를 보여 준다. 도 4에 보인 바와 같이, 상변환 램의 메모리셀어레이의 구조는, 디램의 그것과 마찬가지로, n 개의 비트라인들 $BL_0 \sim BL_{n-1}$ 과 m 개의 워드라인들 $WL_0 \sim WL_{m-1}$ 에 각각 연결된 도 1의 단위 메모리셀들이 매트릭스 형상으로 배열되어 있다. 도시되지는 않았지만, 비트라인들의 각각에는 센스앰프가 연결된다.

<32> 이와 같은 셀 어레이 구성을 가진 상변환 램은, 휴대전화 또는 개인정보단말기(PDA)에서 사용될 수 있기 때문에 가능한한 고집적으로 설계되고 제조되어야만 제한된 크기에서 대용량의 데이터 저장 능력을 가질 수 있다.

<33> 즉, 상변환 램은 기본적으로 저가로 제조되어야 하며 대용량을 구현하기 위

해서는 전체적인 메모리셀어레이의 집적도 또는 밀도가 높아야 한다. 이와 관련하여, 상변환 램의 메모리셀에서는, 상변환 물질막 GST와 하부전극 BEC가 접촉하는 영역, 즉 도 2B에 보인 발열영역 PTA에 전류를 집중시켜 상변환 물질막 GST를 통과하는 전류밀도를 높여 주어야 한다.

<34> 이를 위해서는, 전류에 의한 열 전달매개로 작용하는 도전성의 콘택플러그 CP의 직경(통상적으로 90nm)은 작아져야 하고 엑세스트랜지스터 M의 채널폭은 넓어져야 한다. 이러한 제약으로 인하여 고성능/고밀도의 상변환 램을 구현하는 경우에 엑세스트랜지스터의 채널폭이 불가피하게 증가되어 메모리셀어레이의 크기가 증가함에 따라 상변환 램의 전체적인 칩 사이즈가 커지는 문제가 있다. 알려진 바로는, 상변환 램의 메모리셀이 차지하는 면적($6\sim 12F^2$)은 전술한 특성으로 인해 디램의 그것($6\sim 8F^2$)보다 상대적으로 넓기 때문에 메모리셀의 단위면적을 줄이는 것이 필요하다.

【발명이 이루고자 하는 기술적 과제】

<35> 본 발명은 고집적 및 대용량에 유리한 메모리셀 구조를 가진 상변환 램을 제공하고자 한다.

<36> 본 발명은 또한 칩 사이즈를 크게 늘리지 않고도 고성능 및 고밀도를 실현할 수 있는 메모리셀 구조를 가지는 상변환 램을 제공하고자 한다.

<37> 또한 본 발명은 고집적의 메모리셀어레이를 실현할 수 있는 메모리셀의 레이아웃 구조를 가지는 상변환 램을 제공하고자 한다.

<38> 이러한 본 발명의 목적들을 달성하기 위하여, 본 발명에 따른 상변환 메모리장치는, 소정의 단위영역들로 배열된 메모리셀어레이를 가진다.

- <39> 상기 단위영역은, 제1방향으로 신장하는 제1도전선; 제2방향으로 신장하는 복수의 제2도전선들; 상기 제1도전선에 전기적으로 연결되는 상변환 물질막; 소정의 활성영역내에 한정되며 상기 상변환 물질막에 전기적으로 연결되는 제1반도체영역; 그리고 상기 활성영역내에 한정되며 상기 제2도전선들을 사이에 두고 상기 제1반도체영역으로부터 이격된 제2반도체영역을 구비한다. 또한, 상기 단위영역은, 상기 제1도전선과 상기 상변환물질막을 전기적으로 연결하는 제1전극; 그리고 상기 상변환 물질막과 상기 제1반도체영역을 전기적으로 연결하는 복수의 제2전극들을 포함한다.
- <40> 상기 제2전극들은 상기 제1반도체영역과 소정의 도전물질층을 통하여 각각 연결된다.
- <41> 상기 단위영역은, 또한, 상기 제2방향으로 신장하는 복수의 제3도전선들을 더 포함한다.
- <42> 본 발명의 실시예에 있어서, 상기 제2반도체영역이 복수개이며, 상기 제3도전선들은 상기 제2반도체영역들과 각각 전기적으로 연결된다.
- <43> 본 발명의 실시예에 있어서, 상기 제3도전선들의 각각은 상기 단위영역에 속하는 상기 제2반도체영역과 상기 단위영역에 이웃하는 다른 단위영역의 상기 제2반도체영역과 공통으로 연결된다..
- <44> 본 발명의 실시예에서, 상기 제1, 제2 및 제3도전선은 각각 비트라인, 워드라인 및 접지라인이다.
- <45> 본 발명의 실시예에서, 상기 제2전극들이 상기 제1방향으로 배열되거나, 상기 제2방향으로 배열된다.
- <46> 본 발명의 다른 측면에 의하면, 본 발명에 따른 상변환 메모리장치는, 비트라인; 각각의 드레인영역을 가지는 복수의 액세스트랜지스터들; 그리고 상기 비트라인에 제1전극을 통하여

전기적으로 연결되고 상기 드레인영역에 복수의 제2전극들을 통하여 전기적으로 연결되며 상기 엑세스트랜지스터들에 공유되는 상변환 물질막을 포함하여 구성된다.

<47> 본 발명의 실시예에 있어서, 상기 엑세스트랜지스터들의 드레인영역들은 공유되며 상기 엑세스트랜지스터들의 소오스영역들은 접지라인들에 각각 연결된다.

<48> 본 발명의 실시예에 있어서, 상기 엑세스트랜지스터들의 소오스영역들은 하나의 접지라인에 공통으로 연결된다.

<49> 상기 드레인영역 및 상기 소오스영역들이 소정의 활성영역내에 한정된다. 상기 활성영역은 복수개로 행과 열로 배열되며 이웃한 상기 활성영역들은 서로 절연된다. 여기서, 상기 접지라인은 서로 이웃하는 상기 활성영역들의 상기 소오스영역들에 공유된다.

【발명의 구성 및 작용】

<50> 본 발명의 실시예들에서는 메모리셀의 가변저항(C)의 재료가 되는 상변환 물질로서 GST($\text{Ge}_x\text{Sb}_y\text{Te}_z$; GeSb_4Re_7 , GeSb_2Re_4 , 또는 $\text{Ge}_2\text{Sb}_2\text{Re}_5$)를 사용한다. 그러나, 본 발명은 상변환 물질막의 재료에 제약을 받지 않으며, 다른 종류의 상변환 물질(Ag-in-Sb-Te 등)로 구성된 메모리셀에도 적용 가능함을 이해하여야 한다.

<51> 본 발명의 실시예들에 관한 설명에서, 표준셀 또는 레이아웃 표준셀이라 함은 본 발명의 목적을 실현하기 위하여 도 1에 보인 단위 메모리셀을 2개로 묶어 형성한 것으로서, 메모리셀 어레이상에서 행과 열로 배열되는 레이아웃 반복단위를 지칭한다.

<52> 본 발명의 실시예들에 관한 설명에서, 실시예들은 편의상 5가지로 분류되지만 어느 실시예에 있거나 전술한 표준셀을 영역을 단위로 소개될 것이며 그들간의 조합 또는 응용에 따라 더욱 다양한 형태의 실시예들이 가능함을 이해하여야 한다.

- <53> 이하, 본 발명에 따른 실시예를 첨부된 도면들을 참조하여 상세하게 설명한다.
- <54> 도 5는 본 발명에 따라 2개의 단위 메모리셀들 UC1 및 UC2를 하나의 레이아웃 단위로 한 레이아웃 표준셀 TC로 한 경우의 등가회로를 보여 준다.
- <55> 도 5를 참조하면, 2개의 단위 메모리셀들 UC1 및 UC2가 비트라인 BL과 접지전압 사이에 병렬로 연결된다. 즉, 하나의 레이아웃 단위에 속하는 2개의 단위 메모리셀들 UC1 및 UC2는 하나의 비트라인을 공유한다. 단위 메모리셀 UC1의 액세스트랜지스터 M0의 게이트는 워드라인 WL0에 접속되고, 단위 메모리셀 UC2의 액세스트랜지스터 M2의 게이트는 워드라인 WL1에 접속된다. 레이아웃 표준셀 TC의 보다 상세한 물리적 구조에 관하여는 후술될 것이다.
- <56> 도 6은 도 5에 보인 레이아웃 표준셀 TC들로 된 메모리셀어레이의 회로구성을 예시적으로 보여준다. 도 6을 참조하면, 표준셀 TC는 2개씩의 워드라인들(예컨대, WL0 및 WL1)과 하나의 비트라인(예컨대, BL0)에 연결되어 행과 열방향으로 반복적으로 배열된다. 도 6에서 점선으로 둘러싸인 부분은 전 메모리셀어레이에 걸쳐 반복되는 단위 영역으로서, 본 발명에 따른 메모리셀 구조를 설명하기 위한 표준셀의 영역이다.
- <57> 제1실시예 (도 7, 도 8A 및 8B)
- <58> 도 7은 도 5의 셀 등가회로에 따른 표준셀 TC의 평면 레이아웃 구조의 제1실시예로서, 도 6의 점선영역에 해당한다. 즉, 비트라인 BL0과 워드라인들 WL0 및 WL1에 연결된 표준셀의 영역에 해당한다. 또한, 도 8A 및 8B는 도 7의 절단선 A-A'(Y축 방향) 및 절단선 B-B'(X축 방향)에 의한 단면구조를 각각 보여 주며, 이하의 설명에서 도 7과 함께 참조될 것이다. 도 7과 도 8A 및 8B에서, 비트라인은 Y축 방향으로 신장하며 워드라인은 X축 방향으로 신장한다.

- <59> 도 7을 참조하면, 도 5에 보인 표준셀 TC를 구성하는 단위 메모리셀 UC0 및 UC1은 비트라인의 신장방향(Y축 방향 또는 채널폭 방향)으로 배열된다. 액세스트랜지스터 M0 및 M1은 필드산화막 FOX로 분리된 활성영역 ATRO 및 ATR1에 각각 형성된다. 액세스트랜지스터 M0의 활성영역 ATRO에는 드레인영역 D0 및 소오스영역 S0이 포함되며, 액세스트랜지스터 M1의 활성영역 ATR1에는 드레인영역 D1 및 소오스영역 S1이 포함된다.
- <60> 여기서, 상변환 물질막 GST01은 2개의 단위 메모리셀 UC0 및 UC1에 공유된다. 즉, 회로적으로 단위 메모리셀 UC0 및 UC1에 각각 속하는 가변저항체 C0 및 C1은 구조적으로는 상변환 물질막 GST01을 공유한다.
- <61> 가변저항체 C0 및 C1의 각각의 하부전극 BEC0 및 BEC1는 상변환 물질막 GST의 하면에 각각 독립적으로 형성되며(도 8A 또는 8B 참조), 각각의 하부전극 BEC0 및 BEC1과 드레인영역 D0 및 D1의 사이에는 각각 히터플러그로 작용하는 컨택플러그 CF0 및 CF1이 각각 연결된다(도 8B 참조). 여기서, 각각의 드레인영역 D0 및 D1에 연결되는 독립적인 하부전극 BEC0 및 BEC1은 X축 방향으로 배열된다. 가변저항체의 상부전극 TEC01은, 2개의 단위 메모리셀들(또는 가변저항체 C0 및 C1)에 공유되는 상부전극으로서, 상변환 물질막 GST01의 상면에 형성되어 비트라인 컨택 BC01을 통하여 비트라인 BL0과 연결된다. 상부전극 TEC01이 공유되도록 하기 위하여, 비트라인 컨택 BC01은 드레인영역 D0 및 D1에 걸쳐서 형성된다.
- <62> 액세스트랜지스터 M0 및 M1의 각각의 소오스영역 S0 및 S1은 각각의 독립된 접지전압 라인 GND0 및 GND1에 각각의 접지전압 컨택 GC0 및 GC1을 통하여 연결된다.
- <63> 단위 메모리셀 UC0의 액세스트랜지스터 M0의 게이트가 되는 워드라인 WL0는 드레인영역 D0과 소오스영역 S0의 사이에서 X축 방향으로 신장하며, 단위 메모리셀 UC1의 액세스트랜지스

터 M1의 게이트가 되는 워드라인 WL0는 드레인영역 D1과 소오스영역 S1의 사이에서 X축 방향으로 신장한다.

<64> 이러한 구조의 표준셀 TC가 행과 열방향으로 반복 배열되어 도 6에 보인 메모리셀어레이를 구성한다.

<65> 도 7 내지 도 8B에 보인 실시예에 의하면, 2개의 액세스트랜지스터(또는 2개의 가변저항체)가 상변환 물질막의 패턴과 상부전극을 공유한다. 그 결과, 하나의 단위 메모리셀마다 상변환 물질막 패턴 및 상부전극을 마련하여야 하는 경우보다 메모리셀의 단위면적이 줄어 듬을 이룰 수 있다. 한편, 하부전극 BEC0 및 BEC1사이의 배열간격은 하부전극과 상변환 물질막이 접촉하는 발열영역(도 2B에 보인 PTA; 즉, 실질적으로 상변환이 일어나는 부분)을 독립적으로 보장할 수 있는 범위 내에서 설계할 수 있을 것이다.

<66> 제2실시예 (도 9 및 도 10)

<67> 도 7과 도 8A 및 8B에 보인 제1실시예에서는 X축 방향(즉, 워드라인 방향)으로 하부전극 BEC0 및 BEC1이 형성되어 있으나, 이와는 달리 이들 각각의 독립적인 하부전극들의 형성위치는 도 9 및 도 10에 보인 바와 같이 Y축 방향(즉, 비트라인 방향)으로 비트라인 콘택 BC01을 사이에 두고 형성할 수 있다.

<68> 도 9는 본 발명의 제2실시예에 따른 표준셀의 다른 평면 레이아웃 구조로서 도 6의 점선 부분에 해당하며, 도 10은 도 9의 절단선 C-C'에 따른 단면구조를 보여 주며 도 9와 함께 이하의 설명에서 참조될 것이다.

- <69> 도 9 및 도 10을 참조하면, 도 5에 보인 표준셀 TC를 구성하는 단위 메모리셀 UC0 및 UC1은 비트라인의 신장방향(Y축 방향 또는 채널폭 방향)으로 배열된다. 엑세스트랜지스터 M0 및 M1은 필드산화막 FOX로 분리된 활성영역 ATRO 및 ATR1에 각각 형성된다. 엑세스트랜지스터 M0의 활성영역 ATRO에는 드레인영역 D0 및 소오스영역 S0이 포함되며, 엑세스트랜지스터 M1의 활성영역 ATR1에는 드레인영역 D1 및 소오스영역 S1이 포함된다.
- <70> 여기서, 도 7에 보인 제1실시예와 마찬가지로, 상변환 물질막 GST01의 패턴은 2개의 단위 메모리셀 UC0 및 UC1에 공유된다. 즉, 회로적으로 단위 메모리셀 UC0 및 UC1에 각각 속하는 가변저항체 C0 및 C1은 구조적으로는 상변환 물질막 GST01을 공유한다.
- <71> 가변저항체 C0 및 C1의 각각의 하부전극 BEC0 및 BEC1는 상변환 물질막 GST01의 하면에 각각 독립적으로 형성되며(도 10 참조), 각각의 하부전극 BEC0 및 BEC1과 드레인영역 D0 및 D1의 사이에는 각각 히터플러그로 작용하는 컨택플러그 CF0 및 CF1이 각각 연결된다(도 10 참조). 여기서, 각각의 드레인영역 D0 및 D1에 연결되는 독립적인 하부전극 BEC0 및 BEC1은 Y축 방향으로 배열된다. 가변저항체의 상부전극 TEC01은, 2개의 단위 메모리셀들(또는 가변저항체 C0 및 C1)에 공유되는 상부전극으로서, 상변환 물질막 GST의 상면에 형성되어 비트라인 컨택 BC01을 통하여 비트라인 BL0과 연결된다. 상부전극 TEC01이 공유되도록 하기 위하여, 비트라인 컨택 BC01은 드레인영역 D0 및 D1에 걸쳐서 형성된다.
- <72> 엑세스트랜지스터 M0 및 M1의 각각의 소오스영역 S0 및 S1은 각각의 독립된 접지전압 라인 GND0 및 GND1에 각각의 접지전압 컨택 GC0 및 GC1을 통하여 연결된다.
- <73> 단위 메모리셀 UC0의 엑세스트랜지스터 M0의 게이트가 되는 워드라인 WL0는 드레인영역 D0과 소오스영역 S0의 사이에서 X축 방향으로 신장하며, 단위 메모리셀 UC1의 엑세스트랜지스

터 M1의 게이트가 되는 워드라인 WL0는 드레인영역 D1과 소오스영역 S1의 사이에서 X축 방향으로 신장한다.

<74> 이러한 구조의 표준셀 TC이 행과 열방향으로 반복 배열되어 도 6에 보인 메모리셀어레이를 구성한다.

<75> 도 9 및 10에 보인 바에 의하면, 앞서 설명한 실시예와 마찬가지로 2개의 액세스트랜지스터가 상변환 물질막의 패턴과 상부전극을 공유할 수 있다. 그리하여, 하나의 단위 메모리셀마다 상변환 물질막 패턴 및 상부전극을 마련하여야 하는 경우보다 메모리셀의 단위면적이 줄어들어 이해할 수 있다. 한편, 하부전극 BEC0 및 BEC1사이의 Y축상에서의 배열간격은 하부전극과 상변환 물질막이 접촉하는 발열영역(도 2B에 보인 PTA; 즉, 실질적으로 상변환이 일어나는 부분)을 독립적으로 보장할 수 있는 범위 내에서 설계할 수 있을 것이다.

<76> 또한, 상변환 물질막을 공유함에 따른 메모리셀의 단위면적, 특히 채널폭 방향(Y축 방향)으로의 점유면적을 줄일 수 있기 때문에, 상변환 물질막을 통과하는 전류밀도를 증강시키기 위하여 채널폭을 늘일 수 있는 여유가 확보됨을 이해할 수 있다.

<77> 도 7 또는 도 9에 보인 표준셀 TC의 구조를 형성함에 있어서는, 상변환 물질막의 공유 패턴과 공유 상부전극 및 독립된 하부전극들의 형성위치만 다를 뿐 별도의 마스크공정이 추가되지 않는다.

<78> 또한, 전술한 실시예들에서 하부전극들의 구조가 각각 형성되는 드레인영역들을 액세스 트랜지스터마다 분리시킨 것은, 독출동작시 비트라인으로부터 공유 상부전극을 통하여 흘러 들어오는 전류가 하나의 레이아웃 표준셀을 구성하는 2개의 단위 메모리셀을 통하여 동시에 흐르지 않도록 하기 위함이다. 드레인영역들을 분리하는 패턴은, 별도의 하부전극과 공유 상부전극

을 형성함에 있어서 레이아웃 설계상에서의 장애가 없는 범위내에서 다양하게 실시될 수 있을 것이다.

<79> 제3실시예 (도 11, 도 12, 도 13A 및 13B)

<80> 한편, 도 7 또는 도 9에 보인 실시예들에서는 표준셀(TC)의 영역(도 6의 점선부분)내에서 드레인영역이 공유되고 그에 따라 상변환 물질막의 패턴을 공유하는 것으로 되어 있으나, 그러한 표준셀들이 도 11에 보인 바와 같이 상변환 물질막을 공유하면서 또한 접지라인을 공유하는 형상으로 설계될 수 있다.

<81> 도 11은 도 5에 보인 레이아웃 표준셀에 관한 구조의 제3실시예를 보여 주는 도면이며, 도 12는 도 11의 절단선 E-E'를 따라 취한 단면 구조를 보여 준다. 도 12는 도 11과 함께 참조될 것이다. 도 11 및 도 12에 보인 표준셀의 평면 및 단면구조는 도 6에 보인 점선 부분에 해당한다.

<82> 도 11을 참조하면, 단위 메모리셀 UC0 및 UC1에 속하는 액세스트랜지스터 M0 및 M1의 소오스영역들은 서로 공유된다. 공유된 소오스영역 S01은 활성영역 ATR01내에 한정된다. 공유 소오스영역 S01상에는 X축 방향으로 접지라인 GND01이 신장한다. 접지라인 GND01은 액세스트랜지스터 M0 및 M1에 공유된다.

<83> 단위 메모리셀 UC0 및 UC1에 공유되는 상변환 물질막 GST01의 하부전극 BEC0 및 BEC1은 액세스트랜지스터 M0 및 M1의 각 드레인영역 D0 및 D1에 한정되어 각각 형성된다. 각 드레인영역 D0 및 D1과 하부전극 BEC0 및 BEC1의 각각의 사이는 히터플러그로 작용하는 도전성의

TiN 등으로 된 컨택플러그 CP0 및 CP1를 통하여 연결된다. 공유되는 상변환 물질막 GST01의 상부전극 TEC01은 비트라인 컨택 BC01을 통하여 비트라인 BL0에 연결된다.

<84> 여기서, 비트라인 컨택 BC01은 공유 소오스영역 S01과 접지라인 GND01을 연결하는 메탈 컨택(또는 접지 컨택) GC01의 상부에 형성된다.

<85> 이와 같이, 2개의 단위 메모리셀 UC0 및 UC1에 속하는 각 가변저항체 C0 및 C1이 구조적으로 상변환 물질막을 공유하고 또한 공유 소오스영역을 통하여 접지라인을 공유함으로써, 단위 메모리셀이 점유하는 단위 면적을 줄일 수 있다.

<86> 도 13A는 도 11 또는 도 12에 보인 표준셀의 구조를 레이아웃 기본단위로 하여 메모리셀 어레이를 비트라인(예컨대, m번째 비트라인 BL_m)에 대응하여 구성한 일반적인 일례를 보여 준다. 도 13A에 도시된 바와 같이, 비트라인 BL_m이 신장하는 방향을 따라 표준셀들 TC_{gh}, TC_{ij} 및 TC_{kl}이 반복적으로 배열됨을 볼 수 있다.

<87> 즉, 도 13A를 참조하면, 표준셀 TC_{ij}는 해당하는 활성영역 ATR_{ij}내에서 공유 소오스영역 S_{ij}를 X축 방향으로 가로지르는 공유 접지라인 GND_{ij}에 연결된다. 표준셀 TC_{ij}에 속하는 상변환 물질막 GST_{ij}는 비트라인 컨택 BC_{ij}에 의해 연결된 공유 상부전극 TEC_{ij}를 통하여 비트라인 BL_m에 연결된다. 표준셀 TC_{ij}의 하부전극 BEC_i 및 BEC_j는 각각의 해당하는 독립된 드레인영역 D_i 및 D_j로부터 각각의 컨택플러그를 통하여 공유된 상변환 물질막 GST_{ij}에 연결된다.

<88> 비트라인 BL_m의 신장방향으로 표준셀 TC_{ij}에 이웃하는 표준셀들 TC_{gh} 및 TC_{kl}도 그와 같은 방식으로 구성된다. 또한, 도시되지는 않았지만, 비트라인들의 배열방향을 따라서도 도 13A에 보인 구조가 반복적으로 배열됨을 이해하여야 한다.

<89> 한편, 도 13B에 보인 메모리셀어레이의 배열 패턴은, 도 13A에 도시된 것과는 달리, 비트라인 BLm의 신장방향을 따라 배열된 표준셀들 TCgh, TCij 및 TCkl 등이 상변환 물질막 GSTm을 하나로 공유한다. 즉, 각 Y축 방향으로 신장하고 X축 방향으로 배열된 비트라인들 마다 하나씩의 공유된 상변환 물질막이 배치된다. 공유된 상변환 물질막 GSTm의 하부에 접촉하는 하부전극들 BECh, BECi, BECj 및 BECk 등은 단위 메모리셀(또는 각각의 액세스트랜지스터)마다 독립적으로 형성된다. 도 13B에서 드레인 및 소오스영역들과 공유 접지라인들 및 상하부전극들의 연결 구조는 도 13A과 동일하다.

<90> 전술한 도 11과 관련하여 설명한 바에 의하면, 표준셀 단위로 접지라인을 공유하고 상변환 물질막을 공유함에 따라 단위 메모리셀의 점유면적이 줄어들기 때문에, 이를 도 13A 또는 도 13B와 같이 메모리셀어레이를 구성한 경우 제한된 면적에 집적되는 표준셀의 갯수 즉 메모리용량만큼 전체적인 메모리셀어레이의 면적이 줄어들음을 이해할 수 있다. 또한, 표준셀 단위로 공유된 상부전극을 가지기 때문에, 메모리셀어레이 전체적으로 비트라인에 대한 컨택 레지스턴스(contact resistance)를 줄일 수 있다.

<91> 비교하자면, 도 13B에 보인 메모리셀어레이의 구조가 도 13A에 보인 구조보다 집적도를 더 향상시키고 비트라인의 저항을 보다 줄일 수 있을 것이다. 또한, 전류가 흐를 때 상변환 물질막의 결정화 또는 비정질 상태가 상변환 물질막(예컨대, GSTm)의 하부전극 접촉영역(예컨대, 도 2B의 발열영역 PTA)내에서 균일하게 이루어지는데, 이는 비트라인을 통한 전류가 상변환 물질막의 하부전극을 기준으로 상하 또는 좌우로 균일하게 흐르기 때문이다.

<92> 제4실시예 (도 14, 도 15 및 도 16)

- <93> 도 14는 도 5에 보인 표준셀(또는 도 6의 점선친 영역)이 소오스영역과 접지라인을 공유하는 구조에서의 다른 실시예로서, 레이아웃 설계의 편의와 효율을 향상시켜 보다 고밀도의 메모리셀어레이 구조를 도모하는 경우이다.
- <94> 도 15는 도 14의 절단선 F-F'를 따라 취한 단면구조를 보여 주며, 도 16은 도 14에 따른 방식으로 메모리셀어레이를 구성한 실례를 보여 준다.
- <95> 도 14 내지 도 15를 참조하면, 하나의 표준셀에 포함된 단위 메모리셀(예컨대, UC0 및 UC1)의 각각에는 상변환 물질막 GST0 및 GST1이 각각 독립적으로 배치된다. 그에 따라, 상부전극 TEC0 및 TEC1도 단위 메모리셀마다 각각의 비트라인 컨택 BC0 및 BC1에 각각 형성된다. 단위 메모리셀마다 독립적으로 배치된 상변환 물질막 GST0 및 GST1은 각각의 해당하는 드레인영역 D0 및 D1에 컨택플러그 CP0 및 CP와 하부전극 BEC0 및 BEC1을 통하여 각각 연결된다.
- <96> 서로 독립된 상변환 물질막 GS0 및 GST1의 패턴들은 이웃하는 다른 메모리셀들에 의해 공유되도록 표준셀 영역의 가장자리까지 확장되어 있다. 이러한 상변환 물질막의 패턴은 도 11의 패턴 즉 단위 표준셀 영역내에서만 상변환 물질막이 공유된 형태와는 다름을 알 수 있다. 또한, 비트라인 컨택 BC0 및 BC1도 이웃하는 다른 메모리셀들에 공유되도록 도 11에 보인 패턴의 1/2 크기로 가장자리에 배치된다. 이러한 비트라인 컨택들의 배치는, 도 11에 보인 비트라인 컨택들이 해당하는 드레인영역들에 전속된 형태와는 다름을 알 수 있다.
- <97> 상변환 물질막과 비트라인컨택에 관한 이와 같은 배치(이웃하는 표준셀과의 공유 형태)는, 단위 메모리셀의 점유면적을 줄이는 것은 물론 메모리셀어레이의 집적도를 보다 향상시키는데 유리하다.

- <98> 한편, 공유된 소오스영역 S01에는 메탈로 된 접지컨택 GC0 및 GC1을 각각 통하여 공유 접지라인 GND01이 연결되어 X축 방향으로 신장한다. 각 단위 메모리셀들의 각각에는 워드라인 WL0 및 WL1이 각각 배치되어 X축 방향으로 신장한다.
- <99> 여기서, 워드라인들 WL0 및 WL1과 공유된 접지라인 GND01은 활성영역 ATR01의 범위 내에서 그 일부가 사선형태로(twisted) 되어 있다. 특히, 공유된 접지라인 GND01과 공유된 소오스 영역 S01을 연결하는 접지컨택 GC0 및 GC1은, 공유 접지라인 GND01의 사선화(twisted)된 부분을 사이에 두고 일정한 간격으로 형성되어 있다.
- <100> 도 16은 도 14에 보인 표준셀의 레이아웃 패턴을 기본단위(점선친 영역)로 하여 메모리 셀어레이를 구성한 실례를 보여준다. 도 16은 2개의 임의의 비트라인 BL_m 및 BL_n을 기준으로 서로 대칭된(mirrored) 구조로서 표준셀들이 행과 열과 배열되어 도시한다.
- <101> 도 14와 관련하여 설명한 바와 마찬가지로, 도 16에 의하면 이웃하는 표준셀들은 상변환 물질막과 비트라인 컨택을 공유한다. 즉 비트라인 BL_n에 대하여 배열된 표준셀들을 예로 들면, 서로 이웃하는 표준셀 TC01과 표준셀 TC23은 상변환 물질막 GST12와 비트라인 컨택 BC12를 공유한다. 또한, 서로 이웃하는 표준셀 TC23과 표준셀 TC45는 상변환 물질막 GST34와 비트라인 컨택 BC34를 공유한다. 마찬가지로, 서로 이웃하는 표준셀 TC45와 표준셀 TC67은 상변환 물질막 GST56과 비트라인 컨택 BC56을 공유한다. 비트라인 BL_m측에 해당하는 표준셀들도 비트라인 BL_n의 표준셀들에 대하여 대칭형태로 배열된 것 외에는, 비트라인 BL_n에 대한 경우와 동일한 방식으로 구성된다.
- <102> 메모리셀어레이 전체적으로 도 14에 보인 표준셀의 패턴을 기본으로 한 도 16에 보인 레이아웃 구조가 반복배열됨에 따라, 단위 패턴들이 개별적으로 구분되어 배열된 경우보다 집적 밀도가 향상될 수 있음을 이해할 수 있다.

<103> 제5실시예 (도 17 및 도 18)

<104> 도 17은 도 5에 보인 표준셀(또는 도 6의 점선친 영역)이 소오스영역과 접지라인을 공유하는 구조에 관한 또 다른 실현가능한 실시예로서, 도 14의 레이아웃 패턴에서 활성영역과 상변환 물질막의 패턴을 변형하여 표준셀의 구조를 설계한 것이다. 전술한 실시예들이 지향하는 바와 마찬가지로, 설계의 편의와 효율을 향상시켜 보다 고밀도의 메모리셀어레이 구조를 제공하기 위함이다.

<105> 도 17의 레이아웃 구조에 따른 단면구조는 도 15와 동일하며, 도 18은 도 17에 따른 방식으로 메모리셀어레이를 구성한 실례를 보여 준다.

<106> 도 17에서는, 활성영역 ATR01의 패턴은 "S"자 등과 같이 평면상에서 굴곡을 가진 형상으로 한정되어 있다. 또한, 하나의 표준셀에 포함된 단위 메모리셀(예컨대, UC0 및 UC1)의 각각에는 상변환 물질막 GST0 및 GST1이, 도 14의 경우와 같이, 각각 독립적으로 배치된다. 그러나, 상변환 물질막 GST0 및 GST1의 패턴은 공유된 접지라인 GND01을 중심으로 서로 역상으로 대칭되는 다각형의 형상으로 되어 있다. 활성영역 및 상변환 물질막의 이러한 패턴 변경은 제한된 메모리셀어레이의 면적 내에서 보다 효율적인 배치를 위한 것으로서, 단순히 도 17에 보인 패턴이 아닌 다른 형상의 굴곡을 가진 패턴들로 설계환경에 따라 다양하게 변화될 수 있을 것이다.

<107> 활성영역 ATR01과 상변환 물질막 GST01의 패턴을 제외한 다른 구조들은 도 14의 형태와 동일하다. 즉, 상부전극 TEC0 및 TEC1은 단위 메모리셀마다 각각의 비트라인 컨택 BC0 및 BC1에 각각 형성된다. 단위 메모리셀마다 독립적으로 배치된 상변환 물질막 GST0 및 GST1은 각각

의 해당하는 드레인영역 D0 및 D1에 컨택플러그 CP0 및 CP와 하부전극 BEC0 및 BEC1을 통하여 각각 연결된다. 서로 독립된 상변환 물질막 GS0 및 GST1의 패턴들은 이웃하는 다른 메모리셀들에 의해 공유되도록 표준셀 영역의 가장자리까지 확장된다. 이러한 상변환 물질막의 패턴은, 도 14의 경우와 마찬가지로, 도 11의 패턴 즉 단위 표준셀 영역내에서만 상변환 물질막이 공유된 형태와는 다르다. 또한, 비트라인 컨택 BC0 및 BC1도 이웃하는 다른 메모리셀들에 공유되도록 도 11에 보인 패턴의 1/2 크기로 가장자리에 배치된다. 이러한 비트라인 컨택들의 배치는, 도 11에 보인 비트라인 컨택들이 해당하는 드레인영역들에 전속된 형태와는 또한 다르다. 도 14의 경우와 마찬가지로, 공유된 소오스영역 S01에는 메탈로 된 접지컨택 GC0 및 GC1을 각각 통하여 공유 접지라인 GND01이 연결되어 X축 방향으로 신장한다. 각 단위 메모리셀들의 각각에는 워드라인 WL0 및 WL1이 각각 배치되어 X축 방향으로 신장한다. 여기서, 워드라인들 WL0 및 WL1과 공유된 접지라인 GND01은 활성영역 ATR01의 범위 내에서 그 일부가 사선형태로 (twisted) 되어 있다. 특히, 공유된 접지라인 GND01과 공유된 소오스영역 S01을 연결하는 접지컨택 GC0 및 GC1은, 공유 접지라인 GND01의 사선화(twisted)된 부분을 사이에 두고 일정한 간격으로 형성되어 있다.

<108> 상변환 물질막과 비트라인컨택에 관한 이와 같은 배치(이웃하는 표준셀과의 공유 형태)는, 단위 메모리셀의 점유면적을 줄이는 것은 물론 메모리셀어레이의 집적도를 보다 향상시키는데 유리하다.

<109> 도 18은 도 17에 보인 표준셀의 레이아웃 패턴을 기본단위(점선친 영역)로 하여 메모리셀어레이를 구성한 실례를 보여준다. 도 18은 2개의 임의의 비트라인 BLm 및 BLn을 기준으로 서로 대칭된(mirrored) 구조로서 표준셀들이 행과 열과 배열되어 도시한다.

<110> 도 16의 경우와 마찬가지로, 도 18에 의하면 이웃하는 표준셀들은 상변환 물질막과 비트라인 컨택을 공유한다. 즉 비트라인 BLn에 대하여 배열된 표준셀들을 예로 들면, 서로 이웃하는 표준셀 TC01과 표준셀 TC23은 상변환 물질막 GST12와 비트라인 컨택 BC12를 공유한다. 또한, 서로 이웃하는 표준셀 TC23과 표준셀 TC45는 상변환 물질막 GST34와 비트라인 컨택 BC34를 공유한다. 마찬가지로, 서로 이웃하는 표준셀 TC45와 표준셀 TC67은 상변환 물질막 GST56과 비트라인 컨택 BC56을 공유한다. 비트라인 BLm측에 해당하는 표준셀들도 비트라인 BLn의 표준셀들에 대하여 대칭형태로 배열된 것 외에는, 비트라인 BLn에 대한 경우와 동일한 방식으로 구성된다.

<111> 도 16의 경우와 마찬가지로, 메모리셀어레이 전체적으로 도 17에 보인 표준셀의 패턴을 기본으로 한 도 18에 보인 레이아웃 구조가 반복배열됨에 따라, 단위 패턴들이 개별적으로 구분되어 배열된 경우보다 집적밀도가 향상될 수 있음을 이해할 수 있다.

<112> 상술한 실시예에서 보인 본 발명의 수단 또는 방법에 준하여 본 발명의 기술분야에서 통상의 지식을 가진 자는 본 발명의 범위내에서 본 발명의 변형 및 응용이 가능하다. 예를 들면, 전술한 실시예들에서는 2개의 단위 메모리셀들을 하나의 표준셀로 하여 레이아웃 구성을 행하였으나, 동작상의 결함이 발생하지 않는 범위 내에서 더 많은 수의 단위 메모리셀들이 하나의 상변환 물질막 패턴을 공유하도록 하여 그 집적 밀도를 높이는 것이 가능하다. 또한 본 발명은 상변환 물질막을 구성하는 화합물의 종류와는 상관없이 마스크공정에 의하여 원하는 패턴을 만들 수 있는 것들에 공히 적용가능함에 유의하여야 한다.

【발명의 효과】

<113> 전술한 본 발명의 실시예에 의하면, 본 발명은 상변환 램의 단위 메모리셀들이 상변환 물질막의 패턴을 공유할 수 있도록 함으로써 고집적/고밀도의 메모리셀어레이를 제공하는 이점

이 있다. 본 발명에 의해 고집적의 상변환 램 메모리셀어레이가 가능함에 따라 제한된 면적에서 상변환 램의 저장용량을 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

소정의 단위영역들로 배열된 메모리셀어레이를 가지는 상변환 메모리장치에 있어서:

상기 단위영역이,

제1방향으로 신장하는 제1도전선;

제 2방향으로 신장하는 복수의 제2도전선들;

상기 제1도전선에 전기적으로 연결되는 상변환 물질막;

소정의 활성영역내에 한정되며 상기 상변환 물질막에 전기적으로 연결되는 제1반도체영역; 그리고

상기 활성영역내에 한정되며 상기 제2도전선들을 사이에 두고 상기 제1반도체영역으로부터 이격된 제2반도체영역을 구비함을 특징으로 하는 상변환 메모리장치.

【청구항 2】

제1항에 있어서,

상기 단위영역이,

상기 제1도전선과 상기 상변환물질막을 전기적으로 연결하는 제1전극; 그리고

상기 상변환 물질막과 상기 제1반도체영역을 전기적으로 연결하는 복수의 제2전극들을 더 구비함을 특징으로 하는 상변환 메모리장치.

【청구항 3】

제2항에 있어서,

상기 제2전극들이 상기 제1반도체영역과 소정의 도전물질층을 통하여 각각 연결됨을 특징으로 하는 상변환 메모리장치.

【청구항 4】

제1항에 있어서,

상기 단위영역이,

제2방향으로 신장하는 복수의 제3도전선들을 더 구비함을 특징으로 하는 상변환 메모리장치.

【청구항 5】

제4항에 있어서,

상기 제2반도체영역이 복수개이며, 상기 제3도전선들이 상기 복수개의 제2반도체영역들과 각각 전기적으로 연결됨을 특징으로 하는 상변환 메모리장치.

【청구항 6】

제5항에 있어서,

상기 제3도전선들의 각각이 상기 단위영역에 속하는 상기 제2반도체영역과 상기 단위영역에 이웃하는 다른 단위영역의 상기 제2반도체영역과 공통으로 연결됨을 특징으로 하는 상변환 메모리장치.

【청구항 7】

제4항에 있어서,

상기 제3도전선이 접지라인임을 특징으로 하는 상변환 메모리장치.

【청구항 8】

제1항에 있어서,

상기 제1도전선이 비트라인임을 특징으로 하는 상변환 메모리장치.

【청구항 9】

제1항에 있어서,

상기 제2도전선이 워드라인임을 특징으로 하는 상변환 메모리장치.

【청구항 10】

제1항에 있어서,

상기 제2전극들이 상기 제1방향으로 배열됨을 특징으로 하는 상변환 메모리장치.

【청구항 11】

제1항에 있어서,

상기 제2전극들이 상기 제2방향으로 배열됨을 특징으로 하는 상변환 메모리장치.

【청구항 12】

제1항에 있어서,

상기 단위영역이,

제2방향으로 신장하는 제3도전선을 더 구비함을 특징으로 하는 상변환 메모리장치.

【청구항 13】

제12항에 있어서,

상기 제2반도체영역이 복수개이며, 상기 제3도전선이 상기 복수개의 제2반도체영역들에 공유됨을 특징으로 하는 상변환 메모리장치.

【청구항 14】

제12항에 있어서,

상기 제3도전선이 접지라인이며, 상기 제1 및 제2도전선이 각각 비트라인 및 워드라인임을 특징으로 하는 상변환 메모리장치.

【청구항 15】

제1항에 있어서,

상기 상변환 물질막이 상기 제2도전선들 사이에 위치함을 특징으로 하는 상변환 메모리장치.

【청구항 16】

제1항에 있어서,

상기 상변환 물질막이 서로 이웃하는 상기 단위영역들에 공유됨을 특징으로 하는 상변환 메모리장치.

【청구항 17】

상변환 메모리장치에 있어서:

비트라인 ;

각각의 드레인영역을 가지는 복수의 액세스트랜지스터들;

상기 비트라인에 제1전극을 통하여 전기적으로 연결되고 상기 드레인영역에 복수의 제2 전극들을 통하여 전기적으로 연결되며 상기 액세스트랜지스터들에 공유되는 상변환 물질막을 구비함을 특징으로 하는 상변환 메모리장치.

【청구항 18】

제17항에 있어서,

상기 액세스트랜지스터들의 소오스영역들이 접지라인들에 각각 연결됨을 특징으로 하는 상변환 메모리장치.

【청구항 19】

제18항에 있어서,

상기 드레인영역 및 상기 소오스영역들이 소정의 활성영역내에 한정됨을 특징으로 하는 상변환 메모리장치.

【청구항 20】

제19항에 있어서,

상기 활성영역이 복수개로 행과 열로 배열되며, 이웃한 상기 활성영역들은 서로 절연됨을 특징으로 하는 상변환 메모리장치.

【청구항 21】

제20항에 있어서,

상기 접지라인이 서로 이웃하는 상기 활성영역들의 상기 소오스영역들에 공유됨을 특징으로 하는 상변환 메모리장치.

【청구항 22】

제17항에 있어서,

상기 액세스트랜지스터들의 소오스영역들이 하나의 접지라인에 공통으로 연결됨을 특징으로 하는 상변환 메모리장치.

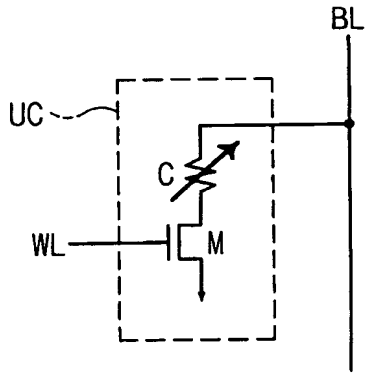
【청구항 23】

제17항에 있어서,

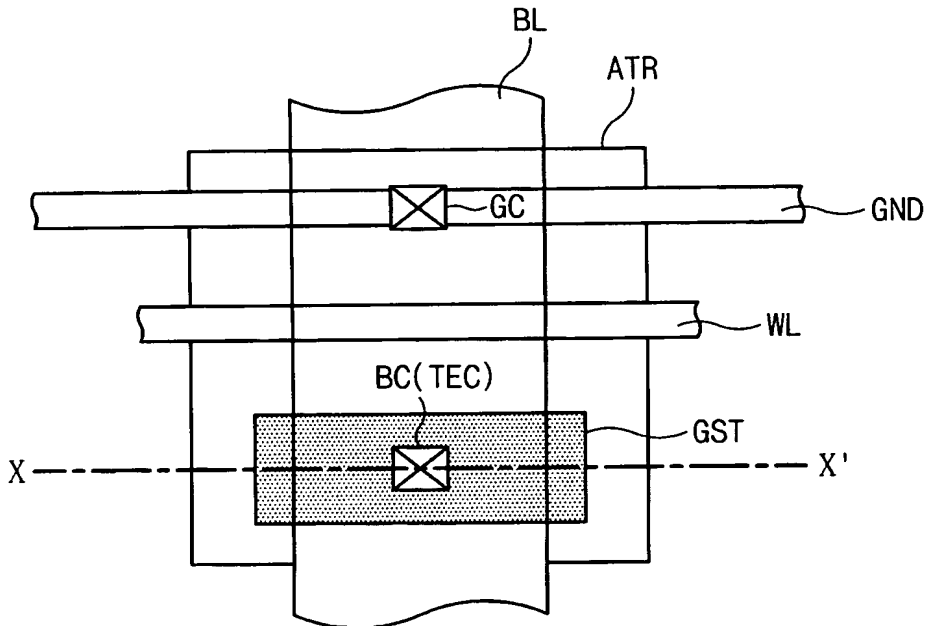
상기 액세스트랜지스터들이 상기 드레인영역들을 공유함을 특징으로 하는 상변환 메모리장치.

【도면】

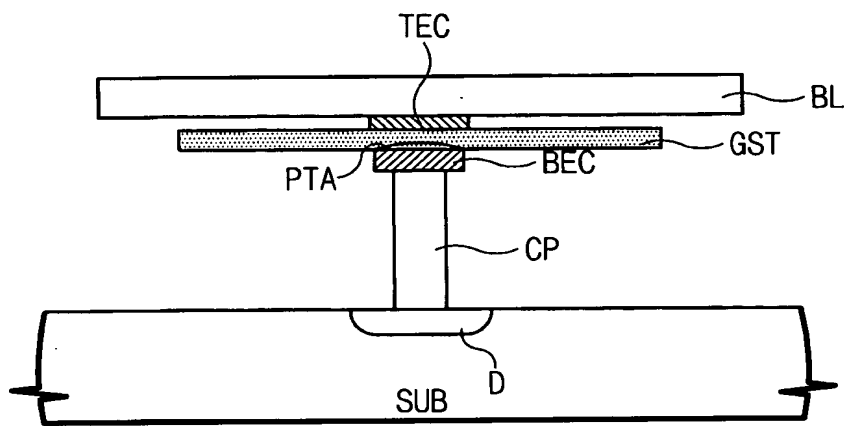
【도 1】



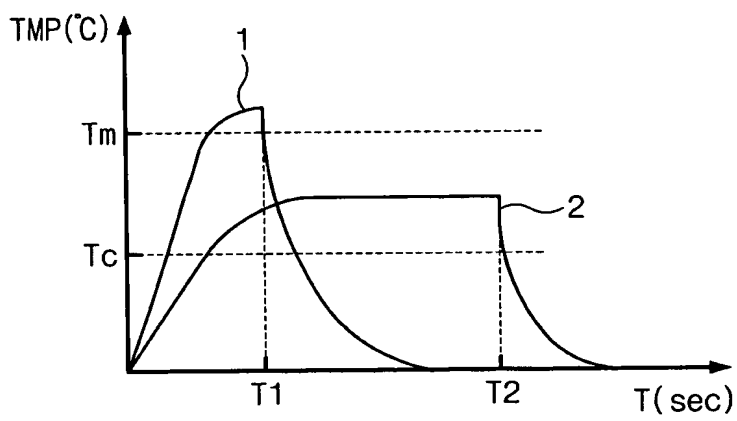
【도 2a】



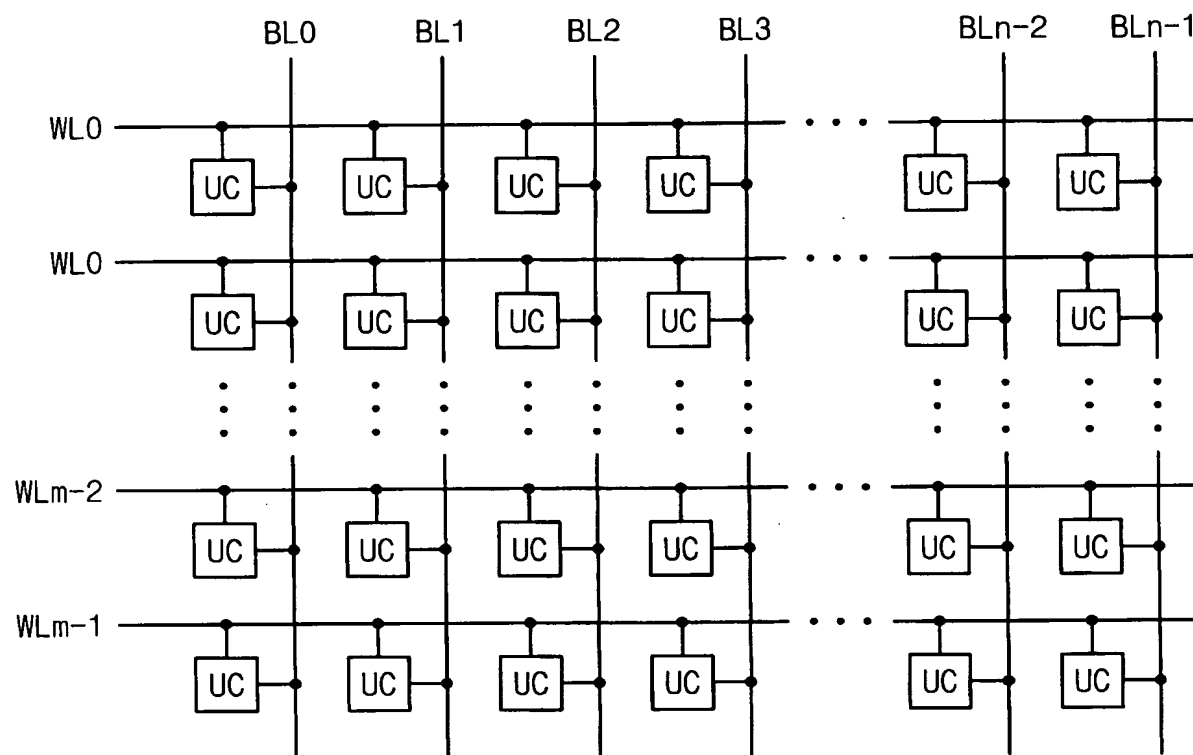
【도 2b】



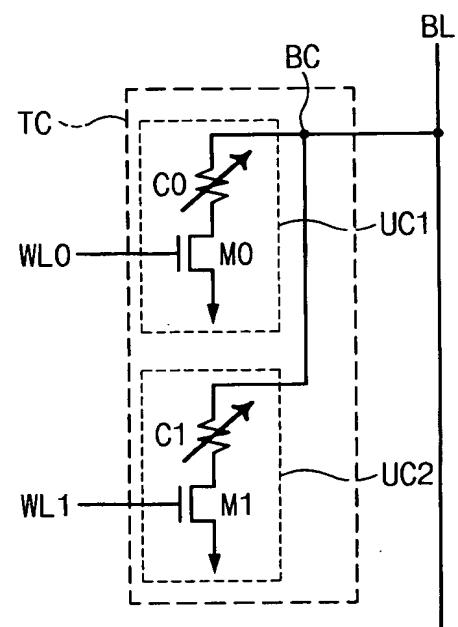
【도 3】



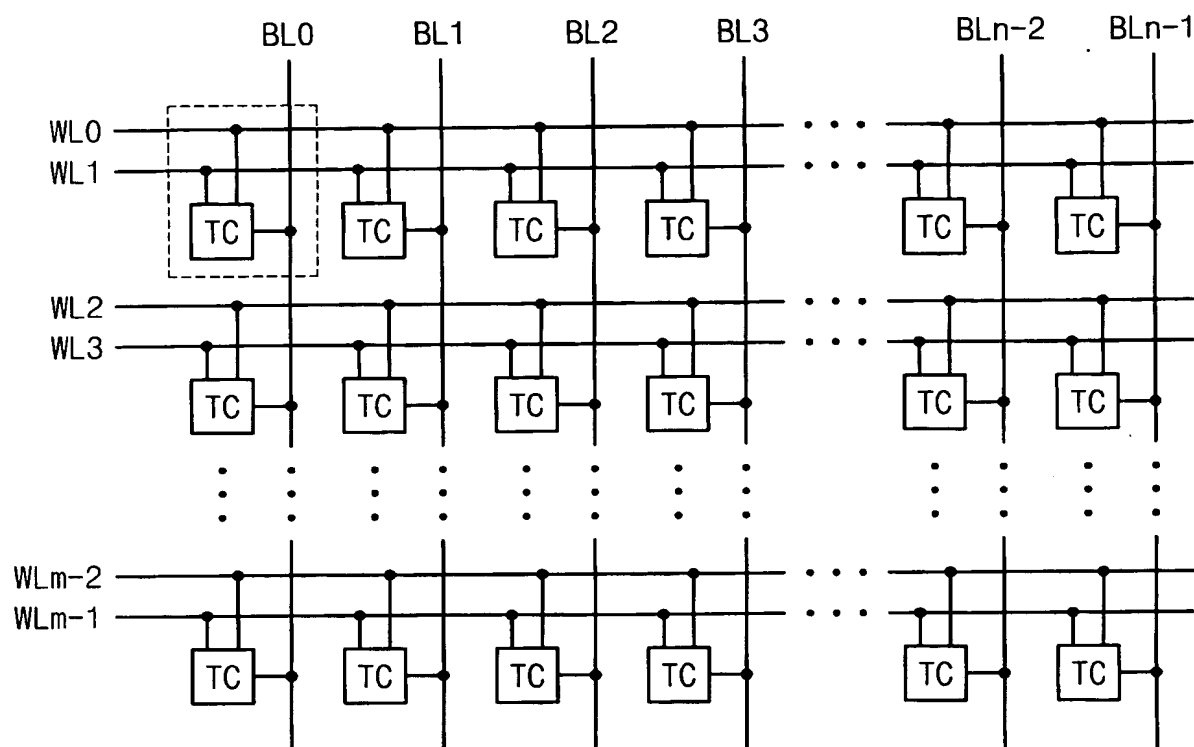
【도 4】



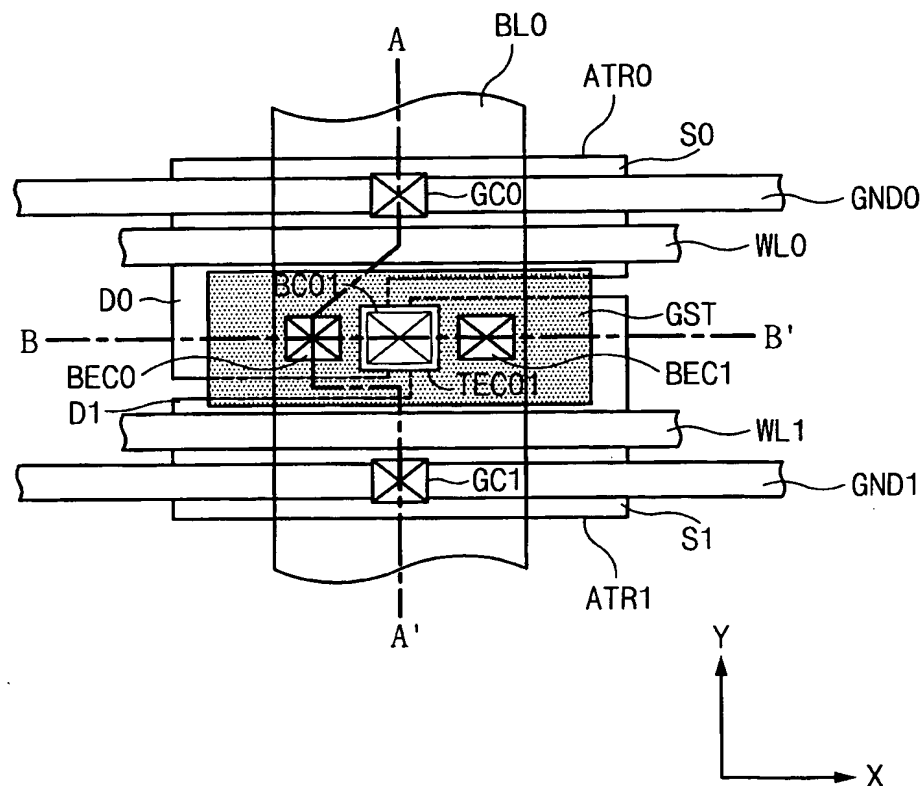
【도 5】



【도 6】

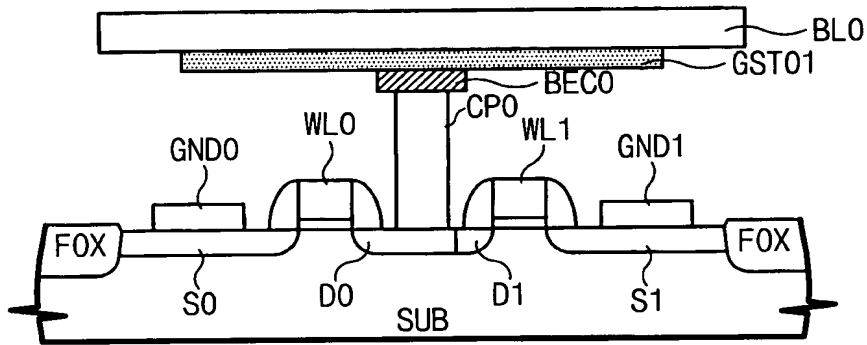


【도 7】



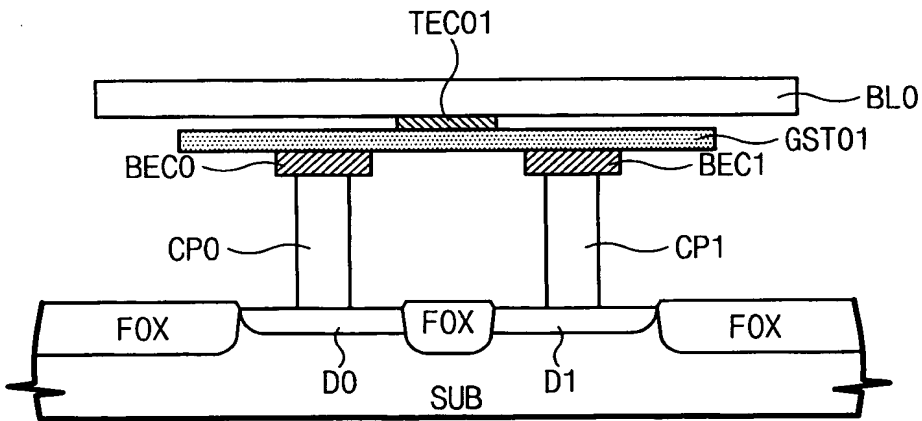
【도 8a】

A-A'

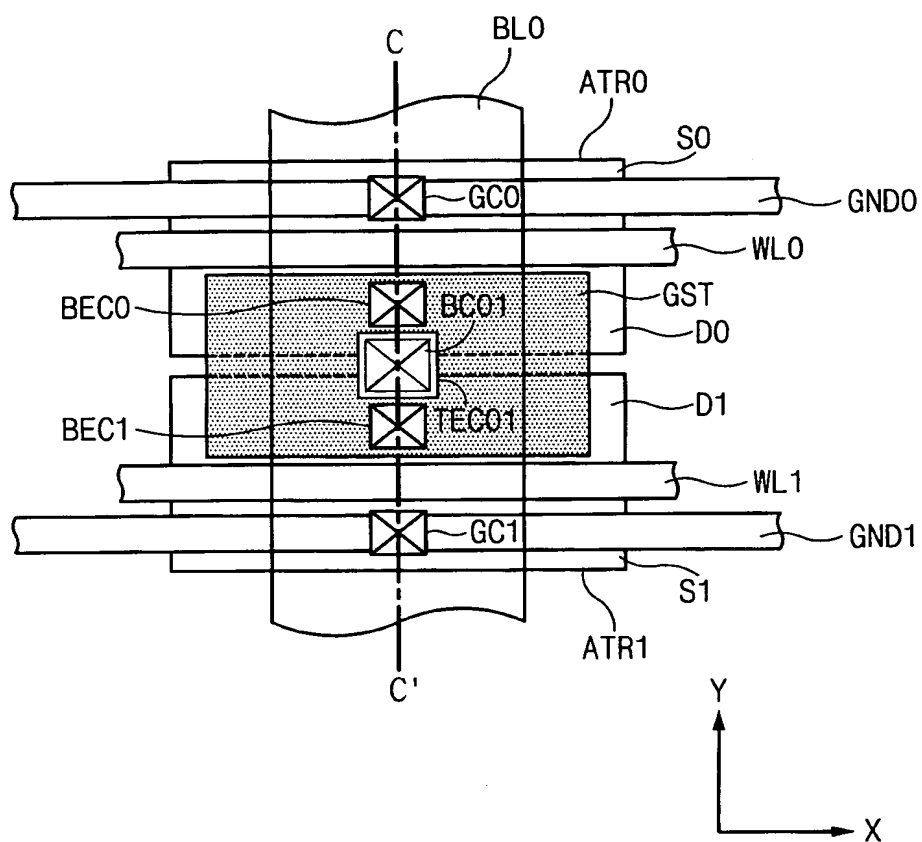


【도 8b】

B-B'

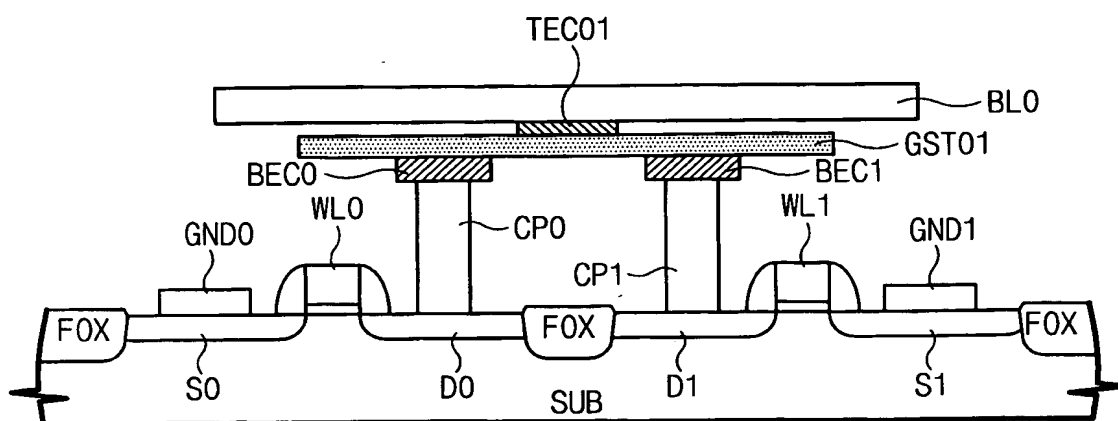


【도 9】

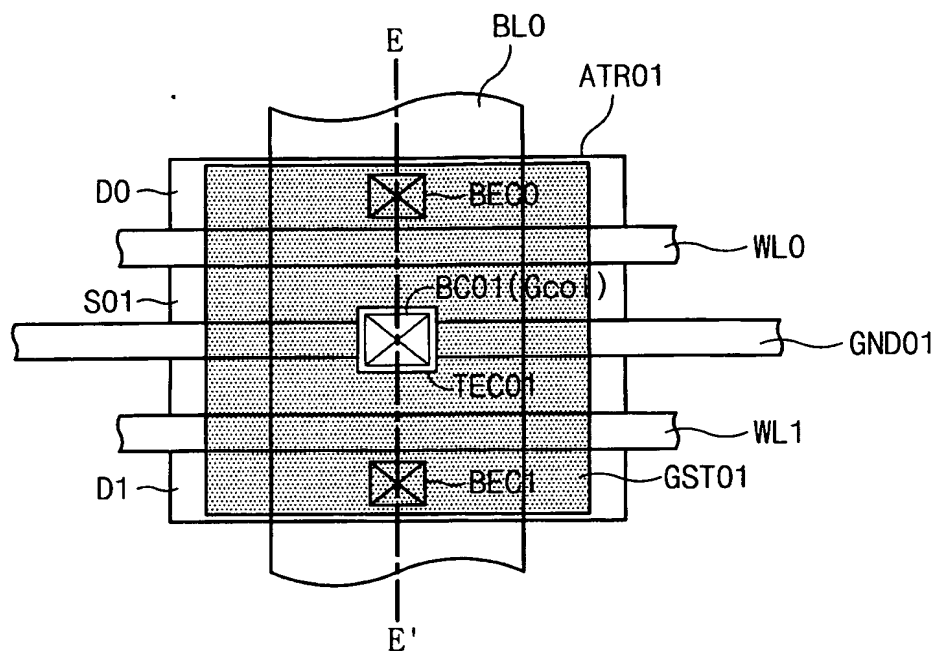


【도 10】

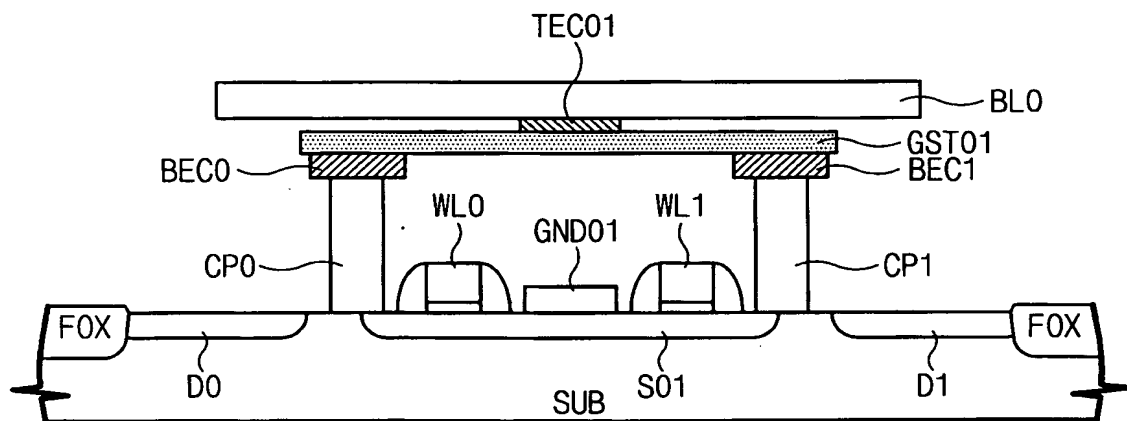
A-A'



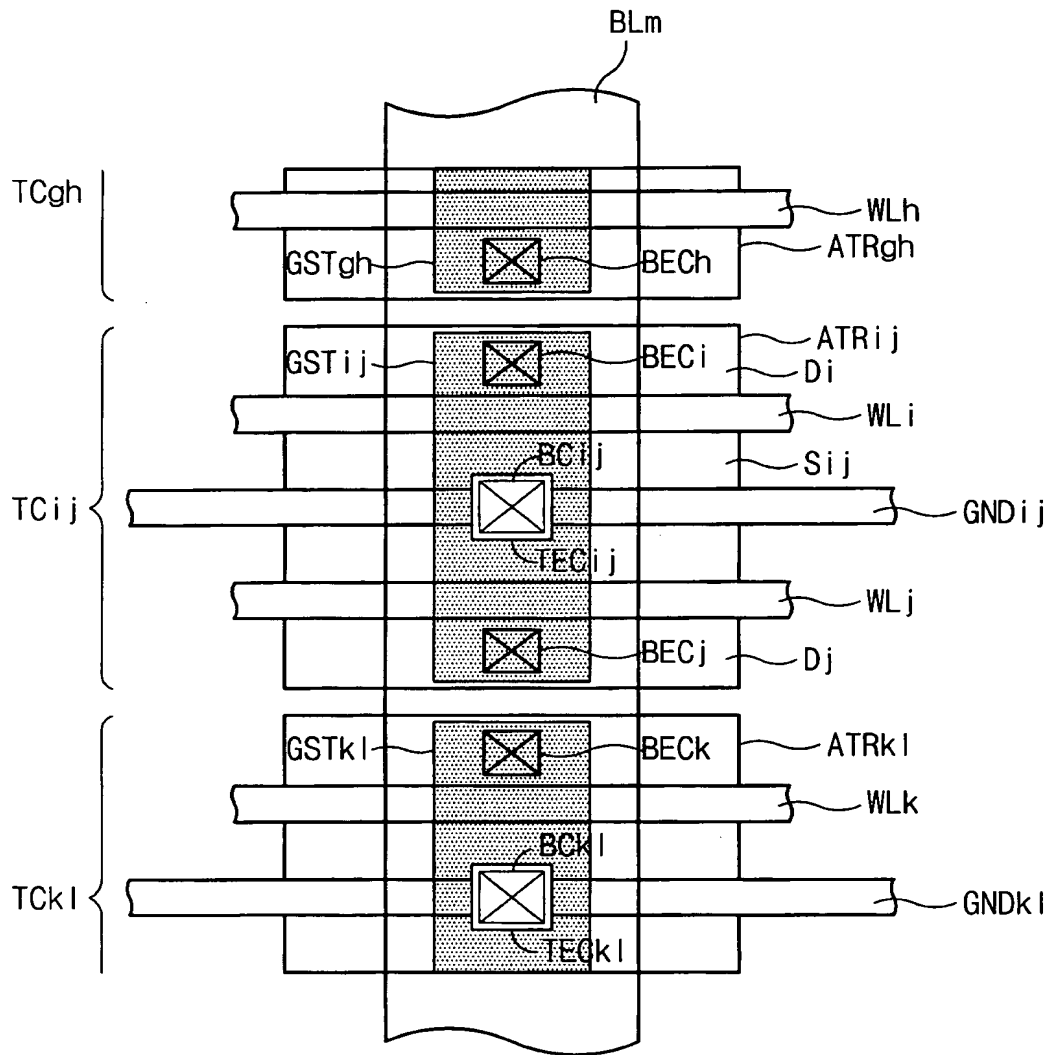
【도 11】



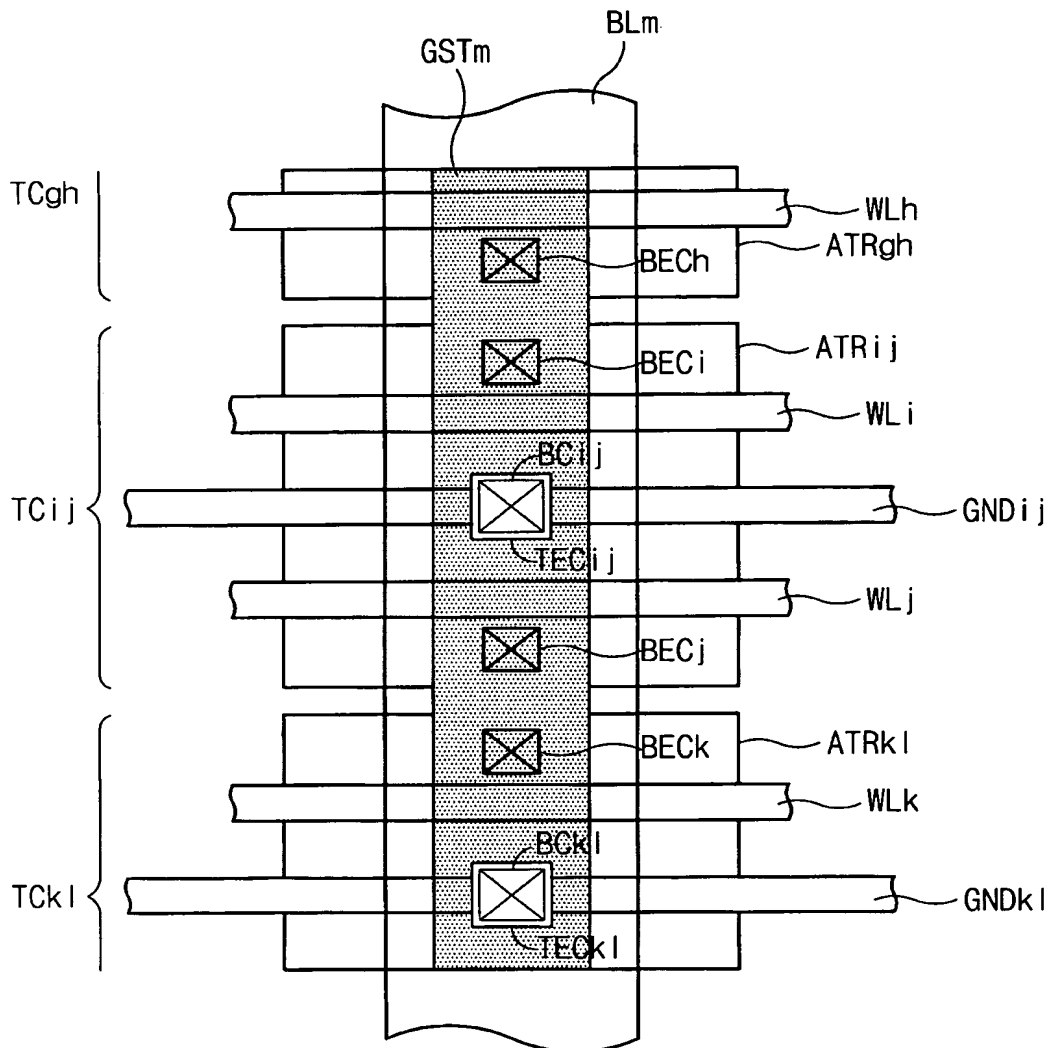
【도 12】



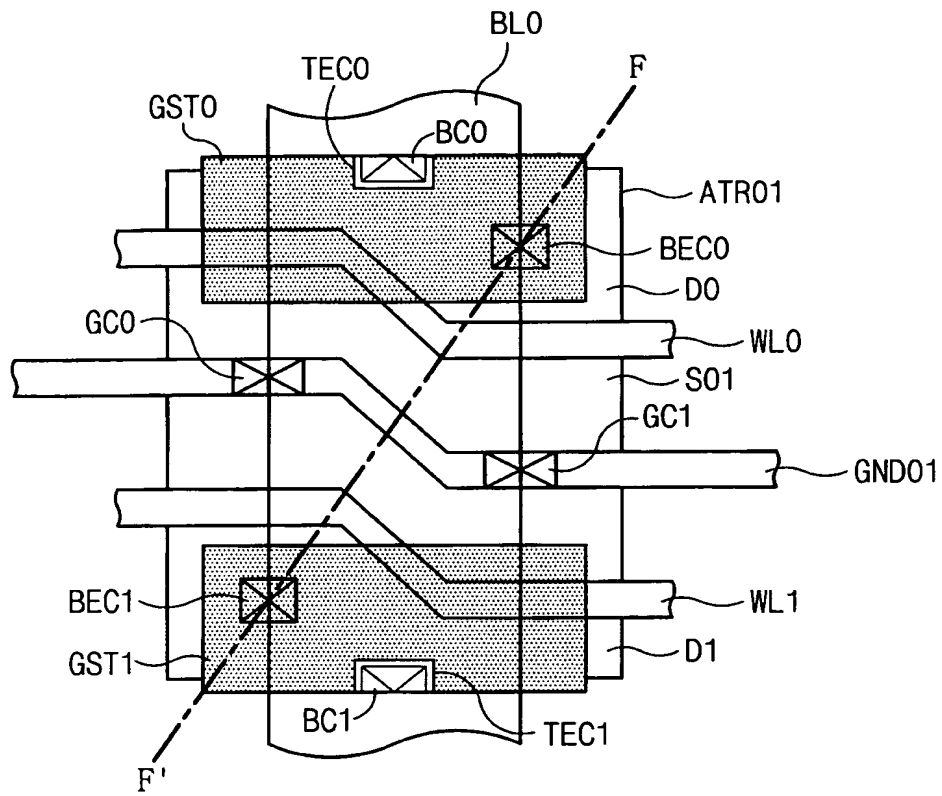
【도 13a】



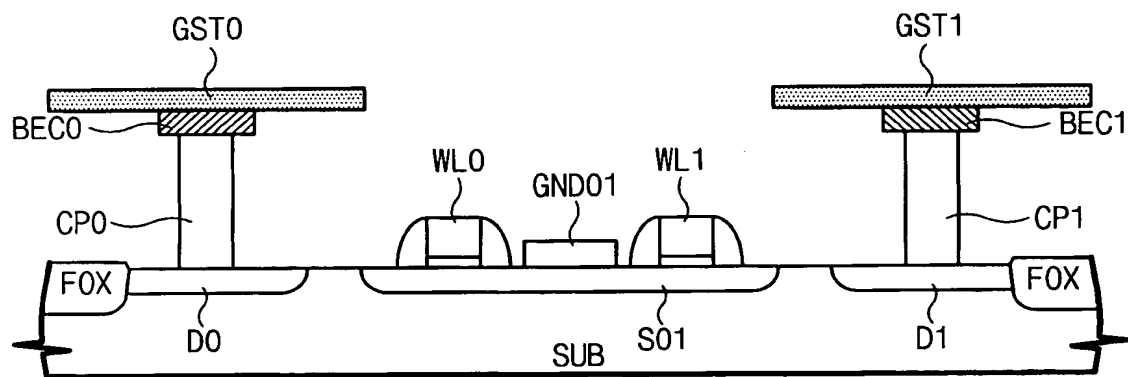
【도 13b】



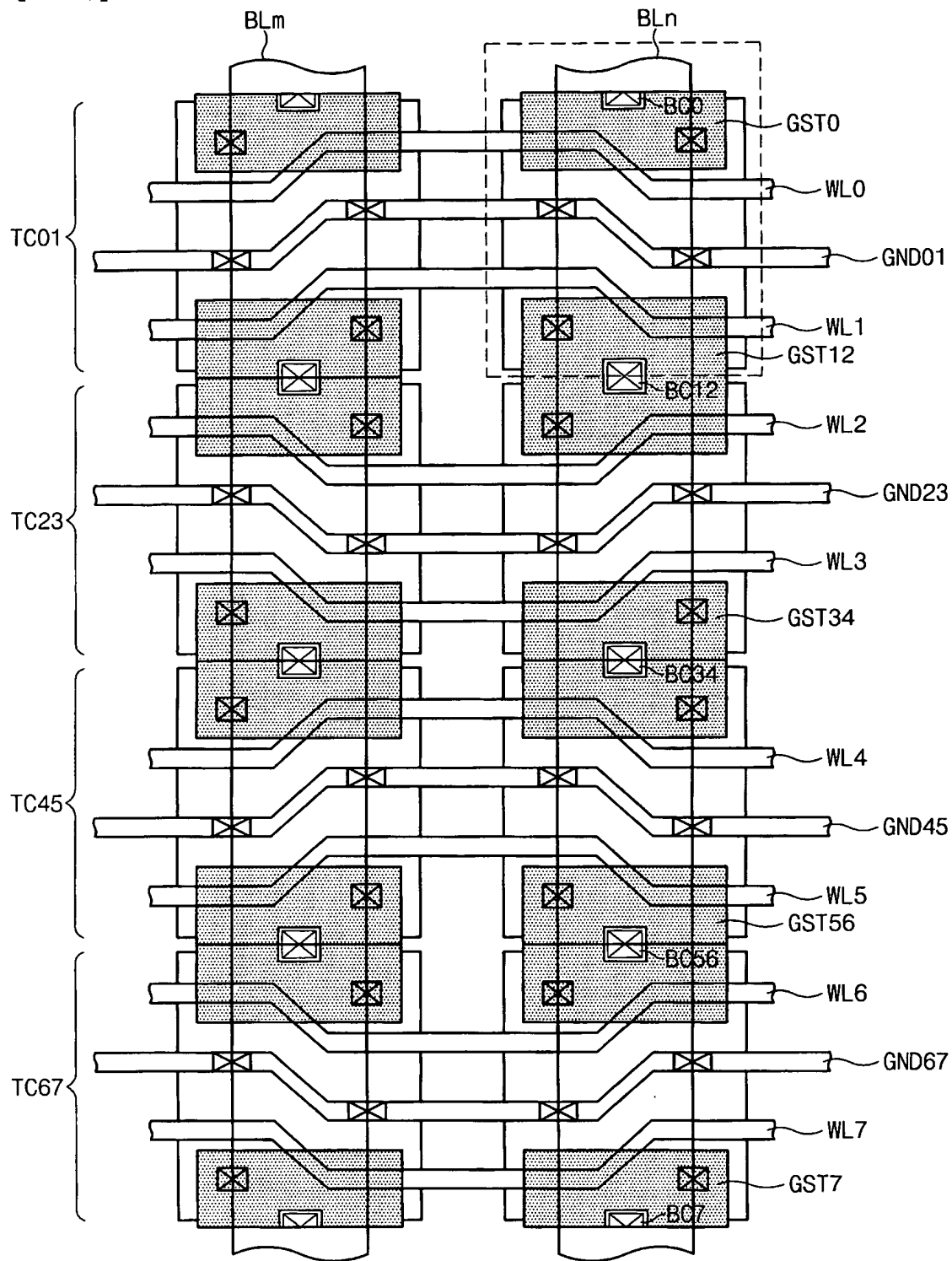
【도 14】



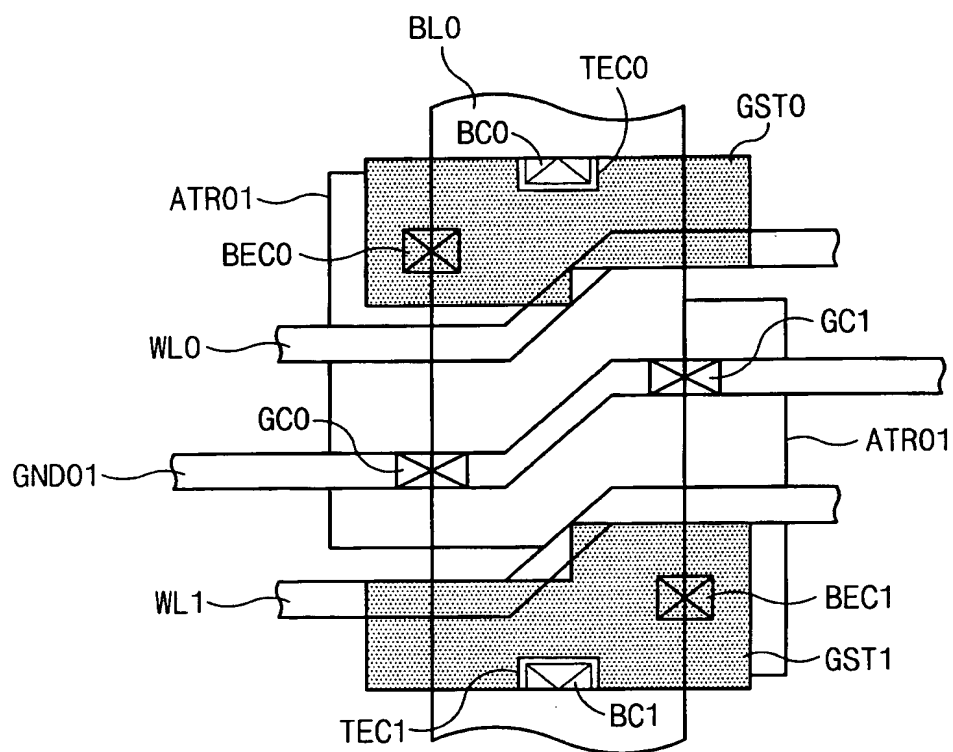
【도 15】



【도 16】



【도 17】



【도 18】

